

MOSFETゲート絶縁膜リーク電流の統計的高精度計測に関する研究

著者	熊谷 勇喜
号	56
学位授与機関	Tohoku University
学位授与番号	工博第4678号
URL	http://hdl.handle.net/10097/61488

	くま がい ゆう き
氏 名	熊 谷 勇 喜
授 与 学 位	博士 (工学)
学 位 授 与 年 月 日	平成 24 年 3 月 27 日
学 位 授 与 の 根 拠 法 規	学位規則第 4 条第 1 項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 技術社会システム専攻
学 位 論 文 題 目	MOSFET ゲート絶縁膜リーク電流の統計的高精度計測に関する研究
指 導 教 員	東北大学教授 須川 成利
論 文 審 査 委 員	主査 東北大学教授 須川 成利 東北大学教授 遠藤 哲郎 東北大学准教授 小谷 光司 東北大学名誉教授 大見 忠弘 (未来科学技術共同研究センター) 東北大学准教授 寺本 章伸 (未来科学技術共同研究センター)

論 文 内 容 要 旨

フラッシュメモリ素子に用いられる金属-酸化膜-半導体電界効果型トランジスタ (MOSFET) のゲート絶縁膜は、その膜厚が薄いほど、素子の高密度化、高速化、低消費電力化に向く一方、書込み/消去動作のトンネル電流による電氣的ストレスによって、平均的な成分と比較して異常に大きいストレス誘起リーク電流 (Stress Induced Leakage Current: SILC) すなわち異常 SILC の発生確率が高くなり、記憶した電子の保持時間が短くなるという問題を生じやすくなる。その結果、ゲート絶縁膜を薄膜化することができず、フラッシュメモリの高密度化、高速化、低消費電力化を妨げている。異常 SILC は局所的な微細領域で発生し、またその発生確率も低いいため、検出するには微細な MOSFET を多数用意して微小な電流を統計的かつ高速・高精度に計測する手法が必要となる。また様々な製造プロセス依存性を評価するためのデバイスを簡便に短期間で作製できることが求められる。本論文は、こうした課題を解決するために、簡便なプロセスで作製でき、ゲートリーク電流を高速高精度に計測できる大規模テスト回路技術を開発し、異常 SILC の挙動を実測評価した結果をまとめたものであり、全文 5 章からなる。

第 2 章では、微細かつ多数個の MOSFET のゲートリーク電流を高速高精度に計測するための新たな大規模テスト回路技術について述べた。まず、被試験 MOSFET、電氣的ストレス印加回路、ゲート接地回路、ゲートリーク電流積分容量、積分電圧出力アンプ等を有するセルを 2 次元に多数個配置し、その周辺にシフトレジスタなどを配置したテスト回路の回路図を図 1 に示す。そのコンセプトは以下のとおりである。被試験 MOSFET のゲート絶縁膜を流れるゲートリーク電流はゲートリーク電流積分容量によって積分され電圧信号に変換される。シフトレジスタによって選択されたセルの電圧信号は積分電圧出力アンプを通じて出力される。積分動作は全セル並列に行われる。被試験 MOSFET の極近傍で、微小な容量を用いて電圧信号に変換することで微小電流を短時間で積分でき、雑音の影響を抑制するとともに、アンプで増幅することで配線寄生容量の充放電を高速に行うことができ、積分電圧を高速に多数点サンプリングできるので、電圧信号から電流を計算する際の精度が向上する。以上のコンセプトの大規模テスト回路を実際に作製した。1 ショットあたり

1 μm 角の被試験 MOSFET が約 8 万個配置されたテスト回路をシリコンウェーハ上に形成し、全セルのゲートリーク電流を、約 80 秒で、約 10^{-15}A (25°C)、約 10^{-17}A (-30°C) の確度で計測できること、また、繰り返し測定を行ったときの相対誤差は、 $1 \times 10^{-17}\text{A}$ のとき約 10%、 $1 \times 10^{-15}\text{A}$ のとき約 0.5% で計測できることを明らかにした。

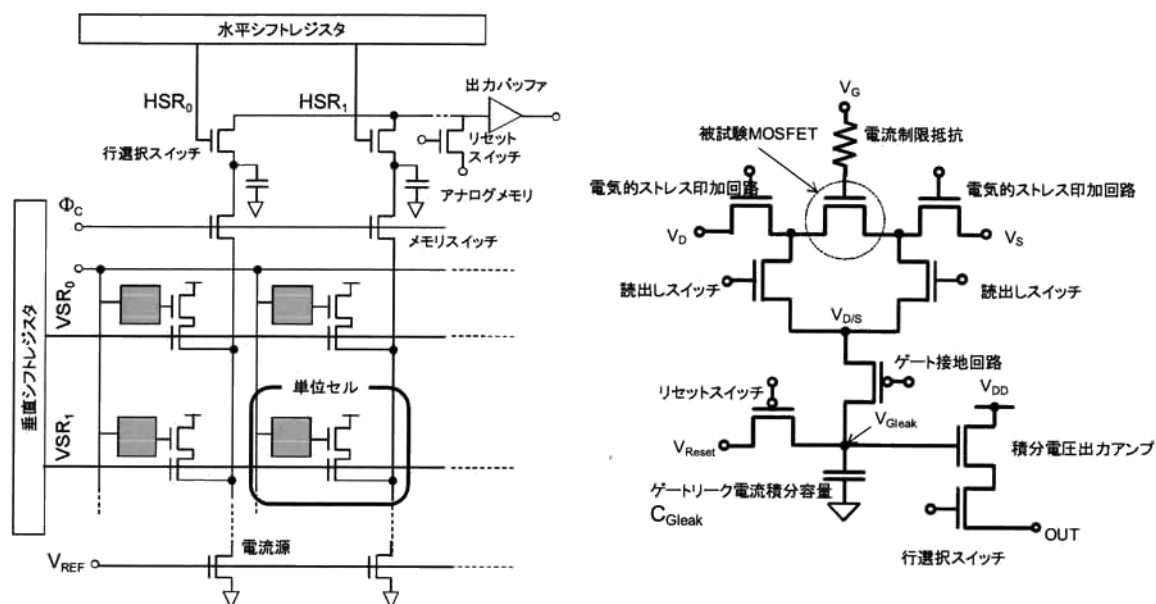


図 1 大規模テスト回路の回路図。左が全体回路図であり、セルがアレイ状に配置されている。右がセル回路図。

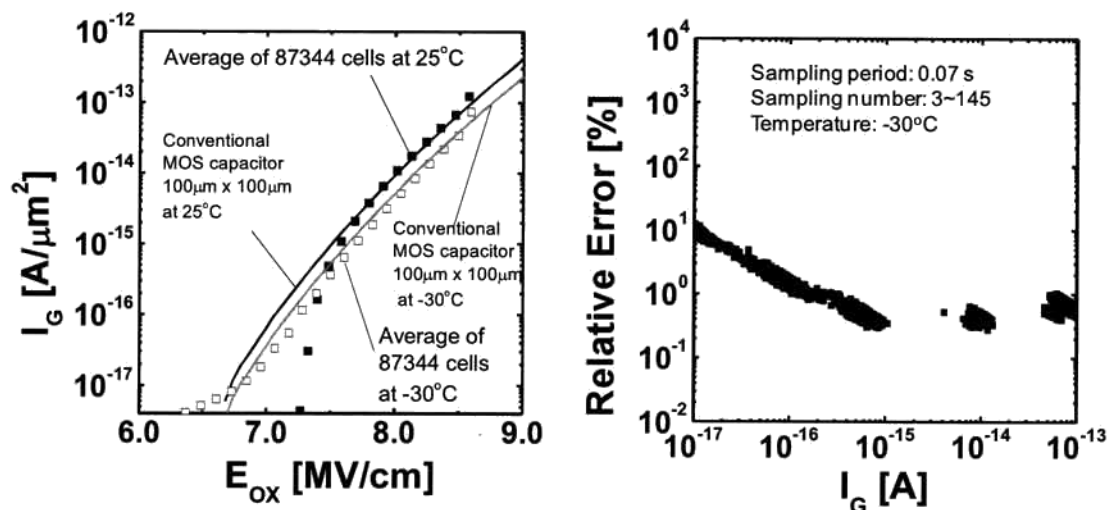


図 2 大規模テスト回路のゲートリーク電流と従来の測定方法との比較 (左図) と精度 (右図)。左図には従来の大面積 MOS キャパシタ (100 μm 角) の電流を規格化したものを実線で、大規模テスト回路による約 8 万個の測定値の平均を点で表す。右図は 100 回繰り返しゲートリーク電流を測定したときの相対誤差。

第3章では、第2章で作製したテスト回路を用いて測定した異常 SILC の特徴を詳細に実験した。まず、フラッシュメモリで発現している電氣的ストレス印加時にランダムに発生・回復する異常 SILC 特有の挙動をテスト回路でも検出した。図3にその一例を示す。ゲートリーク電流-電界特性を取得すると電流が急激に大きく変化している。測定する毎にその変化が起こる電界や変化量は変わるが、電流-電界特性としては4つの曲線のみが現れおり、異常 SILC の原因が離散的な複数個の欠陥によることを示唆している。またストレスを印加後の放置時にも、異常 SILC が時間的にランダムに変化する現象を捉えた。これは異常 SILC の解析には時間領域で長時間にわたってその変化を調べる必要があることを意味する。

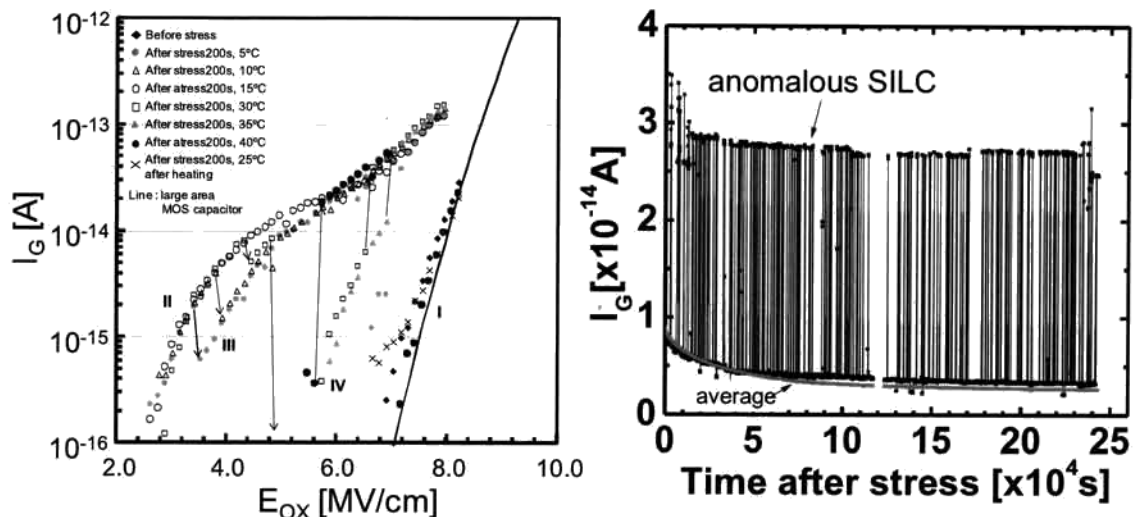


図3 異常 SILC のランダムな挙動。左図はゲートリーク電流-電界特性の一例で、離散的な電流-電界特性が現れている。右図は電氣的ストレス印加後、放置したときのゲートリーク電流の時間変化で、電流値が二値的に変化している。

第4章では、製造プロセスが異常 SILC に与える影響を評価した。ここでは、通常集積回路形成に用いられる水素アニール処理に変えて重水素アニール処理をおこなってサンプルを作製し異常 SILC を評価した。電氣的ストレスを $0.1\text{mA}/\text{cm}^2$ の電流密度で印加した場合、重水素アニール処理をおこなった方が水素アニール処理をおこなった場合に比べ異常 SILC を低減できることを示した。一方電氣的ストレスを $10\text{mA}/\text{cm}^2$ の電流密度で印加した場合には両者の違いはなくなり、重水素の効果に閾値が存在することを明らかにした。

またシリコンとゲート絶縁膜界面を原子レベル近くまで平坦化し、ゲート絶縁膜を酸素ラジカル酸化によって形成したサンプルを作製しその異常 SILC を評価した。まずシリコン表面を高純度アルゴン雰囲気中で 900°C の温度で3時間アニール処理を行い、シリコン表面を原子レベルで平坦化した。次にシリコン表面の平坦性を保護するために表面に、酸素ラジカルによるラジカル酸化膜を形成した後、トランジスタ形成のための素子分離を形成した。素子分離形成過程でラジカル酸化膜を剥離する工程があり、通常フッ酸による酸化膜剥離を行うと原子レベルの平坦性が失われるが、大気と光を遮断した雰囲気中でフッ酸処理をおこなうことで平坦性維持を図った。その結果、完成した MOSFET のシリコンとゲート絶縁膜界面の平坦性は平均表面荒さ

($R_a = \frac{1}{Area} \cdot \int_{y1}^{y2} \int_{x1}^{x2} |Z(x,y) - Z_{Average}| dx dy$) で 0.04nm と、従来の 0.10nm と比べて非常に平坦な、原子レベルに近い界面が得られた。その異常 SILC を評価した結果を図 5 に示す。電気的ストレスを 0.1mA/cm² の電流密度で印加した場合と 10mA/cm² の電流密度で印加した場合ともに、原子レベル近くまで平坦な界面でラジカル酸化をおこなうことで異常 SILC を低減できることを明らかにした。

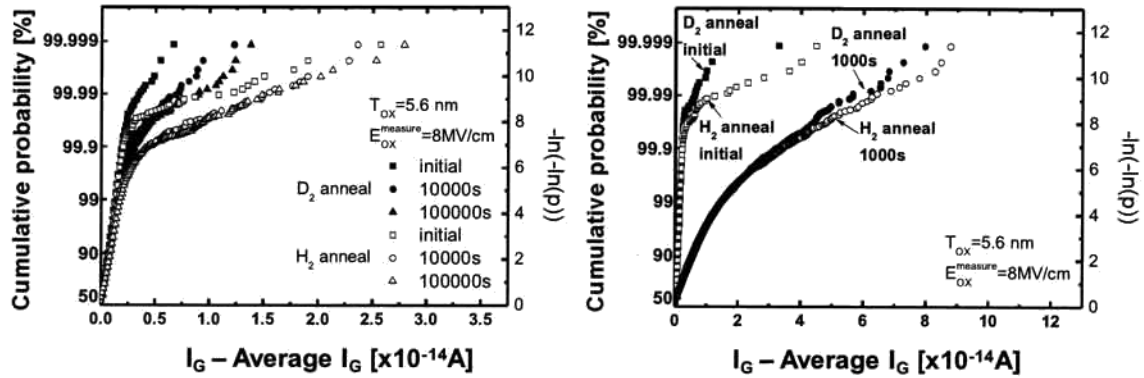


図 4 従来の水素アニール処理を行ったサンプルと、重水素アニール処理を行ったサンプルの異常 SILC の比較。左図は電気的ストレスを 0.1mA/cm² の電流密度で 10000 秒, 100000 秒印加した場合、右図は 10mA/cm² で 1000 秒印加した場合。

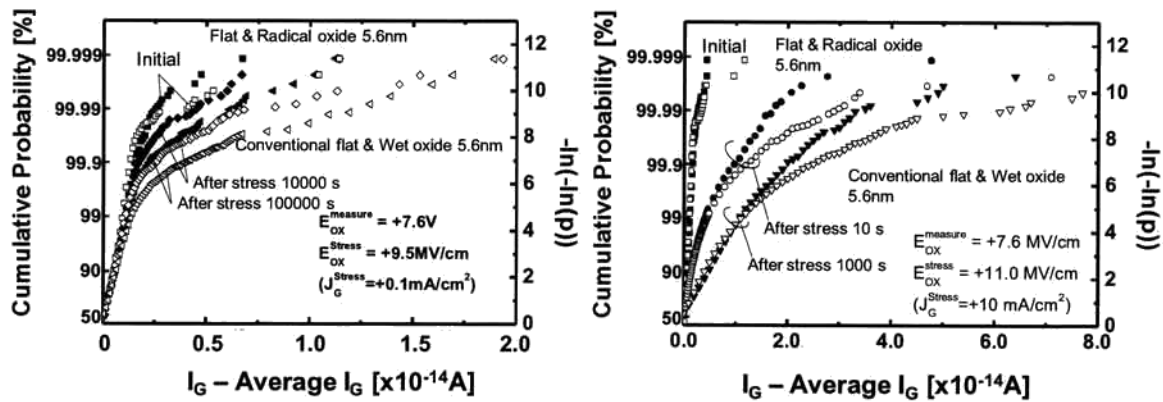


図 5 シリコン/ゲート絶縁膜界面を原子レベル近くまで平坦にし、ゲート絶縁膜を酸素ラジカル酸化によって形成したサンプルと、従来の平坦性を有する界面に熱酸化によりゲート絶縁膜を形成したサンプルの異常 SILC の比較。左図は電気的ストレスを 0.1mA/cm² の電流密度で 10000 秒, 100000 秒印加した場合、右図は 10mA/cm² で 10 秒, 1000 秒印加した場合。

以上、本研究で得られた知見と成果は、異常 SILC を抑制するゲート絶縁膜形成方法の実現に大きく貢献するものである。

論文審査結果の要旨

フラッシュメモリ素子に用いられる金属-酸化膜-半導体電界効果型トランジスタ (MOSFET) のゲート絶縁膜は、その膜厚が薄いほど、素子の高密度化、高速化、低消費電力化に向く一方、書込み/消去動作のトンネル電流による電氣的ストレスによって、平均的な成分と比較して異常に大きいストレス誘起リーク電流 (Stress Induced Leakage Current; SILC) すなわち異常 SILC の発生確率が高くなり、記憶した電子の保持時間が短くなるという問題を生じやすくなる。その結果、ゲート絶縁膜を薄膜化することができず、フラッシュメモリの高密度化、高速化、低消費電力化を妨げている。異常 SILC は局所的な微細領域で発生し、またその発生確率も低いため、検出するには微細な MOSFET を多数用意して微小な電流を統計的かつ高速・高精度に計測する手法が必要となる。また様々な製造プロセス依存性を評価するためのデバイスを簡便に短期間で作製できることが求められる。本論文は、こうした課題を解決するために、簡便なプロセスで作製でき、ゲートリーク電流を高速高精度に計測できる大規模テスト回路技術を開発し、異常 SILC の挙動を実測評価した結果をまとめたものであり、全文 5 章からなる。

第 1 章は、序論である。

第 2 章では、微細かつ多数個の MOSFET のゲートリーク電流を高速高精度に計測するための新たな大規模テスト回路技術について述べている。まず、被試験 MOSFET、電氣的ストレス印加回路、ゲート接地回路、ゲートリーク電流積分容量、積分電圧出力アンプ等を有するセルを 2 次元に多数個配置したテスト回路を提案しそのコンセプトについて論じている。また、1 ショットあたり $1\mu\text{m}$ 角の被試験 MOSFET が約 8 万個配置されたテスト回路をシリコンウェーハ上に形成し、全セルのゲートリーク電流を、約 80 秒で、約 10^{-15}A (25°C)、約 10^{-17}A (-30°C) の確度で計測できることを明らかにしている。これは、極めて革新的な成果である。

第 3 章では、第 2 章で作製したテスト回路を用いて測定した異常 SILC の特徴を実験的に明らかにしている。まず、フラッシュメモリで発現している電氣的ストレス印加時にランダムに発生・回復する異常 SILC 特有の挙動をテスト回路でも検出できることを示している。またストレスを印加後の放置時にも、異常 SILC が時間的にランダムに変化する現象を捉え、異常 SILC の解析には時間領域で長時間にわたってその変化を調べる必要があることを明らかにしている。これは、極めて重要な成果である。

第 4 章では、製造プロセスが異常 SILC に与える影響を評価している。ここでは、ゲート絶縁膜に印加するストレス電界が比較的小さい条件では重水素雰囲気でのアニールによって異常 SILC が低減できること、またシリコンとゲート絶縁膜界面を原子レベル近くまで平坦化しゲート絶縁膜を酸素ラジカル酸化によって形成することによって異常 SILC が低減できることを示している。これは、極めて重要な成果である。

第 5 章は、結論である。

以上要するに本論文は、微細 MOSFET で発生するゲートリーク電流を統計的高精度高速に測定評価するための大規模テスト回路を新たに開発し、電氣的ストレス印加後の異常 SILC のランダムな挙動と製造プロセス依存性を実測評価した結果をまとめたものであり、半導体電子工学に寄与するところが少なくない。

よって、本論文は博士 (工学) の学位論文として合格と認める。